

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Yukihiro NISHIKAWA

Serial No.: 10/609,341

Group Art Unit: 2816

Filed: June 27, 2003

Examiner:

For: CONTROL CIRCUIT OF MOSFET FOR SYNCHRONOUS RECTIFICATION

**Certificate of Mailing**

I hereby certify that this paper is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on:

Date: 10-06-03  
By: Marc A. Rossi  
Marc A. Rossi

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2002 - 187818 June 27, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

10-06-03  
Date

Marc A. Rossi  
Registration No. 31,923

Attorney Docket: FUJI:259

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 6月27日

出願番号

Application Number: 特願2002-187818

[ST.10/C]:

[JP2002-187818]

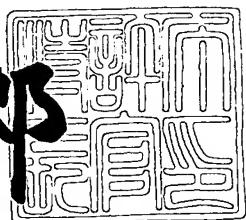
出願人

Applicant(s): 富士電機株式会社

2003年 2月 7日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3005142

【書類名】 特許願

【整理番号】 02P00342

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/137

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式  
会社内

【氏名】 西川 幸廣

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100091281

【弁理士】

【氏名又は名称】 森田 雄一

【電話番号】 03-3234-8177

【手数料の表示】

【予納台帳番号】 044303

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006576

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期整流用MOSFETの制御回路

【特許請求の範囲】

【請求項1】

同期整流用MOSFETのソースからドレインに向かって電流が流れる期間に、MOSFETのゲート・ソース間にゲート電圧を印加するための同期整流用MOSFETの制御回路において、

第1の電流供給手段と、

この電流供給手段の出力側にアノードが接続され、かつ、カソードがMOSFETのドレインに接続された第1のダイオードと、

前記アノードとMOSFETのソースとの間に接続された抵抗と、

前記抵抗の両端電圧と第1の基準電圧とを比較する電圧比較手段と、

この電圧比較手段の出力信号を増幅してMOSFETのゲート・ソース間にゲート電圧を印加するゲート駆動手段と、

を備えたことを特徴とする同期整流用MOSFETの制御回路。

【請求項2】

請求項1記載の同期整流用MOSFETの制御回路において、

第1の基準電圧を、電圧値が一定の基準電源から供給することを特徴とする同期整流用MOSFETの制御回路。

【請求項3】

請求項1記載の同期整流用MOSFETの制御回路において、

第1の基準電圧を、第2の電流供給手段から第2のダイオードに電流を流したときに発生する順電圧降下としたことを特徴とする同期整流用MOSFETの制御回路。

【請求項4】

請求項3記載の同期整流用MOSFETの制御回路において、

第1のダイオード及び第2のダイオードの順方向温度特性がほぼ同一であることを特徴とする同期整流用MOSFETの制御回路。

【請求項5】

請求項 1～4 の何れか 1 項に記載した同期整流用MOSFETの制御回路において、

前記抵抗の両端電圧と第 1 の基準電圧との差がある値以下となったときにMOSFETに対するゲート電圧が発生しないように保持することを特徴とする同期整流用MOSFETの制御回路。

【請求項 6】

請求項 1～5 の何れか 1 項に記載した同期整流用MOSFETの制御回路において、

MOSFETのドレインと第 1 のダイオードのカソードとの間に過飽和リアクトルを接続することを特徴とする同期整流用MOSFETの制御回路。

【請求項 7】

請求項 1～6 の何れか 1 項に記載した同期整流用MOSFETの制御回路において、

当該制御回路が、MOSFETのチップ上に実装される ICチップであることを特徴とする同期整流用MOSFETの制御回路。

【請求項 8】

請求項 1～5 の何れか 1 項に記載した同期整流用MOSFETの制御回路において、

MOSFETのチップ上に実装される ICチップ化された当該制御回路の周囲に、過飽和特性を有する磁性体を配置することを特徴とする同期整流用MOSFETの制御回路。

【請求項 9】

請求項 7 に記載した同期整流用MOSFETの制御回路において、

MOSFETの周囲に、過飽和特性を有する磁性体を配置することを特徴とする同期整流用MOSFETの制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチング電源等の出力電流を整流または環流させるために用い

られる同期整流用MOSFETの制御回路に関する。

## 【0002】

## 【従来の技術】

図16は、フォワードコンバータの2次側にダイオード整流回路を接続した同期整流回路の第1の従来技術であり、図17は図16の回路動作を説明するタイミングチャートである。

図16において、101は直流電源、102はMOSFET (nチャンネルデプレッシャン形MOSFET)、103はトランス、104, 108, 109はダイオード、105はMOSFET 102の制御回路、106は平滑リアクトル、107は平滑コンデンサ、 $N_1$ ,  $N_2$ ,  $N_3$ はそれぞれトランス103の1次巻線、2次巻線、3次巻線である（これらの巻数も $N_1$ ,  $N_2$ ,  $N_3$ であるとする）。なお、平滑コンデンサ107の両端には図示されていない負荷が接続されている。

## 【0003】

図16、図17において、MOSFET 102は、出力電圧が一定になるように制御回路105によりオンオフ制御される。図17の期間①でMOSFET 102がオンすると、トランス103の1次巻線 $N_1$ には直流電源電圧 $V_{in}$ が印加される。また、トランス103の2次巻線 $N_2$ には、1次巻線電圧 $V_{P1}$ に対して $(N_2/N_1)$ 倍の電圧が発生し、ダイオード108を介して平滑リアクトル106にエネルギーを蓄積しつつ、負荷側にエネルギーを放出する。また、トランス103の励磁インダクタンス（図示せず）には、励磁電流 $I_{m1}$ が流れる。

## 【0004】

MOSFET 102がオフすると、図17の期間②に、トランス103の励磁インダクタンスに蓄積された励磁エネルギーをトランス103の3次巻線 $N_3$ からダイオード104を介して直流電源101に放出する。また、トランス103の2次巻線 $N_2$ には、1次巻線電圧に対して $-(N_2/N_1)$ 倍の電圧が発生し、ダイオード108には逆電圧が印加されるため、ダイオード108に流れている電流 $I_{D1}$ がダイオード109に転流する。

このとき、平滑リアクトル106に蓄積されていたエネルギーはダイオード109を介して負荷側に放出される。

#### 【0005】

図17の期間③で励磁電流 $I_{m1}$ が零になると、ダイオード104には逆電圧 $V_{in}$ が印加されてオフし、トランス103の1次巻線電圧 $V_{P1}$ は零となる。この期間③では、平滑リアクトル106に蓄積されていたエネルギーは引き続きダイオード109を介して負荷側に放出される。

次に、期間①でMOSFET102が再度オンすると、トランス103の2次巻線 $N_2$ には1次巻線電圧 $V_{P1}$ に対して $(N_2/N_1)$ 倍の電圧が発生し、ダイオード109には逆電圧が印加されるため、ダイオード109に流れていた電流 $I_{D2}$ がダイオード108に転流する。

以後、期間①から期間③を繰り返す。これにより、平滑リアクトル106を流れる電流 $I_L$ の波形は $I_{D1}$ ,  $I_{D2}$ の合成波形となる。

#### 【0006】

次に、図18は、図16のフォワードコンバータにおけるダイオード108, 109の代わりにMOSFET (nチャンネルデプレッション形MOSFET)を使用した同期整流回路の第2の従来技術であり、図19は図18の回路動作を説明するタイミングチャートである。

図18において、110, 111はMOSFET、113, 114はこれらのMOSFETのゲートとトランス103の2次巻線 $N_2$ の各一端との間に接続された抵抗である。

なお、図18において、図16と同一機能のものは同一記号を付して説明を省略する。

#### 【0007】

同期整流回路の出力電圧が3.3Vから5V程度の低い電圧である場合、図16のようにダイオードを使用した整流回路では、ダイオードの順方向電圧降下 (0.5~1V程度) によって導通損失の割合が非常に大きくなる。

一方、MOSFETに負のドレイン電流を流す場合、このドレイン電流はゲート・ソース間に電圧を印加しないときにはMOSFETのボディダイオードに流

れるため0.5V程度の電圧降下が発生するが、ゲート・ソース間に正の電圧を印加することでオン抵抗と同じ抵抗性を示すため、電圧降下を低減することができる。図18の従来技術はこの点に着目したものである。

## 【0008】

図18の回路が図16の回路と異なる点は、図19に示すように、期間①ではMOSFET111のドレイン・ソース間に印加される電圧 $V_{Q3}$ をMOSFET110のゲート信号として印加して負のドレイン電流 $I_{Q2}$ を流し、MOSFET110の導通損失を低減する点と、期間②ではMOSFET110のドレイン・ソース間に印加される電圧 $V_{Q2}$ をMOSFET111のゲート信号として印加して負のドレイン電流 $I_{Q3}$ を流し、同様にMOSFET111の導通損失を低減する点である。

図19における $I_{Q2}$ ,  $I_{Q3}$ の斜線部分が、導通損失が低減される期間である。

## 【0009】

## 【発明が解決しようとする課題】

図18に示したような従来技術では、図19の期間③においてMOSFET111にゲート電圧が印加されない期間が発生するため、導通損失の低減効果が小さくなる。これにより、装置全体としての効率が低下し、また、発熱に対する冷却能力を多く必要として冷却装置が大型化し、ひいては装置全体の小型軽量化を損なうという問題があった。

従って、本発明の課題は、MOSFETに電流が流れる期間の殆どでゲート電圧をMOSFETに印加することにより、導通損失の低減効果を高め、装置効率の向上や小型軽量化を可能にした同期整流用MOSFETの制御回路を提供することにある。

## 【0010】

## 【課題を解決するための手段】

上記課題を解決するため、請求項1及び請求項2の発明では、同期整流用MOSFETのドレインに第1のダイオードのカソードを接続し、第1のダイオードのアノードに第1の電流供給手段を接続すると共に、第1のダイオードのアノード

ドMOSFETのソースとの間に抵抗を接続してその両端電圧を検出する。この抵抗の両端電圧は、同期整流用MOSFETに電流が流れたときの電圧降下に従って変化する。従って、抵抗両端の電圧と第1の基準電圧との大小関係を電圧比較手段により比較して、第1の電圧比較手段の出力信号を増幅し、ゲート駆動手段により同期整流用MOSFETのゲート・ソース間にゲート電圧を印加することにより、ある電流レベルを基準にして同期整流用MOSFETのゲートを駆動するタイミングが得られることになる。

従って、基準となる電流レベルを小さく設定することで、同期整流用MOSFETに電流が流れる期間の殆どでゲート電圧を印加することが可能となり、図18に示した従来技術よりも導通損失を低減することが可能になる。

#### 【0011】

請求項3の発明では、前記第1の基準電圧として、第2の電流供給手段により電流が供給される第2のダイオードの順電圧降下を用いることにより、第1のダイオードの温度-順電圧特性を補償し、電流検出精度を高めることができる。

また、請求項4に記載するように、第1のダイオード及び第2のダイオードの順方向温度特性（温度に対する順方向電流-電圧特性）をほぼ同一とすること、更に電流検出精度を高めることができる。

#### 【0012】

請求項5の発明では、前記抵抗の両端電圧と第1の基準電圧との差がある値以下となつたときにMOSFETに対するゲート電圧が発生しないようにする。

すなわち、同期整流用MOSFETに流れる負の電流が減少し、この電流がしきい値レベルを越えると、同期整流用MOSFETのゲートをオフすることになる。このとき、同期整流用MOSFETのボディダイオードに電流が流れることになり、順電圧降下が増加すると第1の電圧比較手段は電流が増加したと判断し、同期整流用MOSFETのゲートを再度、オンすることになる。その結果、オン・オフを繰り返し、MOSFETの駆動損失が増大する。

このため、MOSFETのゲートを一旦、オフしたら、同期整流用MOSFETがオフ状態になるまでゲートを駆動しないようにすることで、駆動損失の増大を抑制することが可能である。

## 【0013】

請求項6の発明では、MOSFETのドレインと第1のダイオードのカソードとの間に過飽和リアクトルを接続する。

これにより、同期整流用MOSFETのボディダイオードに流れる電流が逆回復する際の逆回復損失を低減すると共に、万が一、同期整流用MOSFETの制御回路の遅延により、ゲートがオフする前に、同期整流用MOSFETのドレインに流れる負の電流が零クロスしてドレインの正方向に大きく電流が流れてからターンオフしてしまうような場合には、電流の零クロス後に電流の増加率が低く抑えられ、ターンオフ損失を低減することができる。

## 【0014】

請求項7の発明では、上記制御回路をICチップ化してMOSFETのチップ上に実装することで、装置の部品点数の削減や部品実装面積の低減による装置の小形化を図ることができる。

## 【0015】

請求項8または9の発明では、同期整流用MOSFETチップの周囲に過飽和特性を有する磁性体を配置することで、請求項6と同様な効果を得ることができる。

## 【0016】

## 【発明の実施の形態】

以下、図に沿って本発明の実施形態を説明する。

まず、図1は本発明の各実施形態が適用される同期整流回路を示す回路図である。この同期整流回路では、2つの同期整流用MOSFET 110, 111の各電極（ゲート、ソース、ドレイン）間に、本発明に係る制御回路 112 が接続されている。なお、図18の従来技術と同一機能のものには同一記号を付してその説明を省略する。

## 【0017】

図2は、本発明の第1実施形態に係る制御回路 112a の回路図である。

図2において、第1のダイオード1はMOSFET 110 (111) がオフ状態のときに制御回路 112a 内部の信号系に高電位が印加されるのを防ぐブロック

キングダイオードである。このダイオード1のアノードは第1の電流供給手段2に接続され、カソードはMOSFET110(111)のドレインに接続されている。

## 【0018】

電流供給手段2は、ダイオード1及び抵抗3に電流を供給する電流源、または電源と抵抗とからなる直列回路等によって構成される。

第1の電圧比較手段5は、電流検出手段2に接続された抵抗3の両端電圧 $V_1$ と第1の基準電源4による第1の基準電圧 $V_{ref1}$ との大小を比較してMOSFET110(111)のゲート信号を生成するものである。また、ゲート駆動手段6は、電圧比較手段5により生成されたゲート信号を增幅し、これをMOSFET110(111)のゲートに加えて駆動するためのものである。

なお、図2において、 $V_{comp1}$ は電圧比較手段5の出力電圧、 $V_{GS}$ はMOSFET110(111)のゲート・ソース間電圧、 $V_{DS}$ はMOSFET110(111)のドレイン・ソース間電圧、 $V_{F1}$ はダイオード1の両端電圧、 $I_F$ は順電流(負のドレイン電流 $I_D$ )である。

## 【0019】

次に、図3のタイミングチャートを参照して図2の回路の動作を説明する。

ここでは、図1のMOSFET110に電流が流れている状態で、MOSFET1102がターンオフすることによりMOSFET110に流れていた電流がMOSFET111に転流し、再度MOSFET1102がターンオンすることによりMOSFET111に流れていた電流がMOSFET110に転流するまでの動作を、期間①～⑦に分けて説明する。

なお、図3はすべてMOSFET111側の各部の電圧、電流波形である。

## 【0020】

## ・期間①

MOSFET110がオン状態である。MOSFET111はオフ状態であり、ダイオード1は逆電圧が印加されてオフしている。抵抗3の両端電圧 $V_1$ は、図示しない電流供給手段2の電源電圧となっている。このとき、MOSFET111側の電圧比較手段5の出力電圧 $V_{comp1}$ はLowレベルとなり、MOSF

ET111のゲート・ソース間電圧 $V_{GS}$ はLowレベルとなっている。

## 【0021】

## ・期間②

MOSFET102がターンオフすると、MOSFET110がオフしてそのドレイン・ソース間電圧 $V_{DS}$ が上昇することにより、MOSFET111のドレイン・ソース間電圧 $V_{DS}$ は零まで下降する。

## 【0022】

## ・期間③

MOSFET111のドレイン・ソース間電圧 $V_{DS}$ が零になると、MOSFET111のボディダイオードが導通し、順電流 $I_F$ が流れ始める。また、ダイオード1が導通して、抵抗3の両端電圧 $V_1$ が下降し始める。

## 【0023】

## ・期間④

抵抗3の両端電圧 $V_1$ が基準電圧 $V_{ref1}$ を下回ると電圧比較手段5の出力 $V_{comp1}$ がHighレベル、MOSFET111のゲート・ソース間電圧 $V_{GS}$ もHighレベルとなり、MOSFET111は抵抗性を示すようになって導通損失が低減する。なお、MOSFETのオン電圧 $V_{on}$ は、順電流 $I_F$ とオン抵抗 $R_{on}$ との積で決まる電圧値となる。

## 【0024】

## ・期間⑤

MOSFET102が再度ターンオンすると、MOSFET111に流れている電流がトランス103の発生電圧 $V_{S1}$ と図示しない配線インダクタンス $L_s$ とによって決まる電流減少率 $(-di/dt = V_{S1}/L_s)$ で減少し始める。このとき、MOSFET111のドレイン・ソース間の寄生インダクタンスに電圧が発生し、ドレイン・ソース間電圧 $V_{DS}$ が負から正に切り替わり、ダイオード1には逆電圧が印加されてオフする。

従って、抵抗3の両端電圧 $V_1$ が上昇し始める。

## 【0025】

## ・期間⑥

抵抗3の両端電圧 $V_1$ が基準電圧 $V_{ref1}$ を上回ると、電圧比較手段5の出力 $V_{comp1}$ がLowレベル、MOSFET111のゲート・ソース間電圧 $V_{GS}$ もLowレベルとなり、MOSFET111はボディダイオードの特性に切り替わる。

## 【0026】

## ・期間⑦

MOSFET111はボディダイオードが逆回復して阻止状態となり、ドレン・ソース間電圧 $V_{DS}$ がトランジスタ103の発生電圧 $V_{S1}$ まで上昇する。

## 【0027】

以後、期間①から期間⑦の動作を繰り返す。

これにより、MOSFET111に電流 $I_F$ が流れる期間の大部分である期間④、⑤にわたってMOSFET111にゲート電圧を印加することができ、導通損失の低減を図ることができる。

## 【0028】

図4に、本発明の第2実施形態を示す。なお、図2の第1実施形態と同一機能のものは同一記号を付してその説明を省略する。

図4に示す制御回路112bでは、図2における基準電源4を第2のダイオード8に置き換え、このダイオード8に第2の電流供給手段7から電流を流したときのダイオード8の順電圧降下を第1の基準電圧 $V_{ref1}$ として利用するものである。

## 【0029】

ダイオードの順方向電流-電圧特性は、図5に示すようにジャンクション温度 $T_j$ によって変化する。一般的には、ジャンクション温度 $T_j$ が高くなるほど、同一の順電流( $I_{F1}$ )に対する順電圧は小さくなる( $V_{Fh} < V_{Fc}$ )。

従って、図2のように電圧比較手段5の基準電圧 $V_{ref1}$ を一定とした場合、温度が変化するとダイオード1の順電圧が変化するので、基準電圧 $V_{ref1}$ と比較される抵抗3の両端電圧 $V_1$ も温度によって変化することになる。

## 【0030】

図6に、温度が変化した場合の動作を説明するタイミングチャートを示す。図

6のタイミングチャートは、軽負荷時等で図1の平滑リクトル106の電流が断続する場合の様子を示している。なお、図6では、温度が低いときの理想動作を実線で示し、温度が高いときの動作を破線で示してある。

## 【0031】

この実施形態では、MOSFETに負のドレイン電流が流れる期間でゲート電圧を与えることになり、温度が高くなつてダイオード1の順電圧が小さくなると、抵抗3の両端電圧 $V_1$ は破線のように小さくなる。従つて、MOSFETに流れるドレイン電流が正に零クロスする貫通電流（図6の $I_F$ における破線部分）が発生しても、 $V_1$ が基準電圧 $V_{ref1}$ を上回るまでMOSFETにゲート電圧を与え続けることになる。そして、MOSFETのゲートがオフするとMOSFETは貫通電流をターンオフすることになり、ターンオフ損失が発生して効率が低下する。また、大きなサージ電圧が発生して、ノイズが増加する等の問題を生じる。

## 【0032】

このような問題を防ぐため、図4のような回路構成とすることにより、温度上昇によって低下する電圧 $V_1$ と共にダイオード8の基準電圧 $V_{ref1}$ も低下するため、電圧 $V_1$ と基準電圧 $V_{ref1}$ との相対的な大小関係は余り変わらなくなり、結果的に貫通電流の発生を小さく抑えることができる。特に、第1、第2のダイオード1、8の順方向温度特性をほぼ等しくすれば、貫通電流の発生をほぼ完全に抑制することができる。

## 【0033】

図7に、上記第2実施形態の変形例を示す。この変形例に係る制御回路112cでは、ダイオード8の順電圧降下を一旦、ボルテージバッファ9を介して電圧比較手段5の入力端子に加えるように構成されている。なお、動作については、図4の回路と同様であるため、説明を省略する。

## 【0034】

図8に、本発明の第3実施形態を示す。なお、図2の第1実施形態と同一機能のものは同一記号を付してその説明を省略する。

図8において、制御回路112aの構成は図2と同一であるが、図8の実施形

態では、図2の回路のMOSFET110(111)のドレインとダイオード1のカソードとの間に過飽和リアクトル10が接続されている。この過飽和リアクトル10は、図4や図7の回路において同様に接続してもよい。

### 【0035】

図9、図10は、過飽和リアクトル10を接続したときの効果を説明するタイミングチャートである。

図9は、制御回路112aの遅延時間により、ゲート電圧がMOSFETに流れる電流が零クロスした後の時刻T<sub>2</sub>からLowレベルになってMOSFETがオフしたため、MOSFETに斜線で示すように貫通電流が流れる動作を示している。

### 【0036】

一方、図10は、図8の第3実施形態の如く過飽和リアクトル10を接続したときの動作である。

過飽和リアクトル10は、MOSFET110(111)に正方向の電流(I<sub>F</sub> > 0)が流れると飽和し、インダクタンス値がほぼ零となる。次に電流が減少して零クロスする際に飽和がリセットされ、インダクタンス値が増大する。このとき、MOSFETに流れる電流は、過飽和リアクトル10のインダクタンス値の増加により電流の変化が急激に小さくなる。従って、図8のようにMOSFET110(111)のドレインとダイオード1のカソードとの間に過飽和リアクトル10を接続することにより、MOSFET110(111)のゲート電圧のオフが多少遅れたとしても、貫通電流を小さく抑制することができる。

### 【0037】

図11に、本発明の第4実施形態を示す。なお、図2の第1実施形態と同一機能のものは同一記号を付してその説明を省略する。

図11に示す制御回路112dにおいて、11は第2の基準電源(第2の基準電圧V<sub>ref2</sub>)、12は第2の基準電圧V<sub>ref2</sub>と抵抗3の両端電圧V<sub>1</sub>とが入力される第2の電圧比較手段、13は第2の電圧比較手段12の出力が加えられる遅延回路、14は第1の電圧比較手段5の出力V<sub>comp1</sub>と遅延回路3の出力とが加えられるOR回路、15はOR回路14の出力と第2の電圧比較

手段12の出力とがそれぞれセット信号、リセット信号として加えられるRSフリップフリップ回路、16はRSフリップフリップ回路の出力と第1の電圧比較手段5の出力とが加えられるAND回路であり、このAND回路16の出力がゲート駆動手段6に入力されている。

## 【0038】

図12に、軽負荷時等の場合にMOSFETのゲート電圧 $V_{GS}$ が印加された状態から順電流 $I_F$ が徐々に減少して、抵抗3の両端電圧 $V_1$ が第1の基準電圧 $V_{ref1}$ 付近で動作するときのタイミングチャートを示す。

抵抗3の両端電圧 $V_1$ が第1の基準電圧 $V_{ref1}$ を上回ると、第1の電圧比較手段5の出力はLowレベルとなり、MOSFETのゲート電圧がLowレベルとなってMOSFETのドレイン・ソース間電圧 $V_{DS}$ はボディダイオードの順電圧となり、大きくなる。このとき、抵抗3の両端電圧 $V_1$ が第1の基準電圧 $V_{ref1}$ を下回ってしまうと、再度MOSFETのゲート電圧がHighレベルとなり、MOSFETのドレイン・ソース間電圧 $V_{DS}$ はオン抵抗 $R_{on}$ と順電流 $I_F$ との積で決まる電圧降下 $V_{on}$ となって小さくなる。

この動作を繰り返すと、図12に示すようにMOSFETのゲートが高周波でオン・オフすることになり、駆動損失が増大して装置効率が低下する。

## 【0039】

図11に示した第4実施形態では、上述の如くMOSFETのゲートが高周波でオン・オフするのを防ぐため、抵抗3の両端電圧 $V_1$ が第1の基準電圧 $V_{ref1}$ を一旦上回ると、 $V_1$ が第2の基準電圧 $V_{ref2}$ に上昇するまでゲート電圧を発生させないようにした。図13に、このときの動作を説明するためのタイミングチャートを示す。

## 【0040】

図11におけるRSフリップフロップ回路15は、第1の電圧比較手段5の出力 $V_{comp1}$ の立下りのタイミングでセットされ、第2の電圧比較手段12の出力 $V_{comp2}$ の立下りのタイミングでリセットされる。

図13において、抵抗3の両端電圧 $V_1$ が第1の基準電圧 $V_{ref1}$ を下回る期間で、RSフリップフロップ回路15がセットされないように、第2の電圧比

較手段12の出力 $V_{comp2}$ を遅延回路13により遅延させた信号と、第1の電圧比較手段5の出力 $V_{comp1}$ とをOR回路14に入力し、OR回路14の出力をRSフリップフロップ回路15のセット信号としている。

## 【0041】

また、RSフリップフロップ回路15の出力信号と第1の電圧比較手段5の出力 $V_{comp1}$ とをAND回路16に入力し、AND回路16の出力信号を新たにゲート駆動信号とすることにより、抵抗3の両端電圧 $V_1$ が一旦、第1の基準電圧 $V_{ref1}$ を上回った場合には、前記電圧 $V_1$ が第2の基準電圧 $V_{ref2}$ を上回るまで、ゲート信号を発生させない状態で保持されることになる。従って、ゲート信号が高周波でオン・オフしてゲート駆動電力が増大するのを防ぐことができる。

## 【0042】

なお、図11の回路では第1の基準電圧 $V_{ref1}$ を一定電圧としているが、図4や図7のようにダイオード8の順電圧降下を利用して第1の基準電圧 $V_{ref1}$ を温度によって可変にしても良い。

## 【0043】

図14に、本発明の第5実施形態を示す。

図14は、本発明の制御回路112(112a～112d)をICチップ化し、MOSFET110(111)のチップ上に実装した図である。なお、18はプリント配線パターン、19はワイヤを示している。

MOSFETのゲートは制御回路112(112a～112d)のゲート駆動手段6の出力端子と接続し、MOSFETのソースを制御回路112(112a～112d)のグランドと接続し、MOSFETのドレインにダイオード1のカソードを接続し、制御回路112(112a～112d)の電源入力を引き出す端子を設けることで、従来から使用されているTO220やTO3P等の標準パッケージを用いた3端子の複合デバイスとすることができます、部品点数の削減による装置の小形化を図ることができる。

## 【0044】

図15に、本発明の第6実施形態を示す。

この実施形態は、MOSFET110(111)のチップの周囲に、過飽和特性を有する磁性体17を配置したものである。この実施形態の動作は図8に示した第3実施形態と同様であるため、説明を省略する。

このように過飽和特性を有する磁性体17を半導体パッケージ内に組み込むことにより、部品点数の削減が可能になる。

【0045】

【発明の効果】

以上のように本発明によれば、同期整流用MOSFETに負の電流が流れる期間の殆どでゲートに電圧を印加できるため、整流損失を小さく抑制でき、装置効率を向上させると共に、冷却能力の低減による冷却装置の小型化によって装置全体の小型軽量化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の各実施形態が適用される同期整流回路を示す回路図である。

【図2】

本発明の第1実施形態を示す回路図である。

【図3】

図2の回路の動作を説明するためのタイミングチャートである。

【図4】

本発明の第2実施形態を示す回路図である。

【図5】

ダイオードの順方向温度特性を示す図である。

【図6】

図4の回路の動作を説明するためのタイミングチャートである。

【図7】

本発明の第2実施形態の変形例を示す回路図である。

【図8】

本発明の第3実施形態を示す回路図である。

【図9】

図8の回路の動作を説明するためのタイミングチャートである。

【図10】

図8の回路の動作を説明するためのタイミングチャートである。

【図11】

本発明の第4実施形態を示す回路図である。

【図12】

図11の回路の動作を説明するためのタイミングチャートである。

【図13】

図11の回路の動作を説明するためのタイミングチャートである。

【図14】

本発明の第5実施形態を示す構造図である。

【図15】

本発明の第6実施形態を示す構造図である。

【図16】

第1の従来技術を示す回路図である。

【図17】

図16の回路の動作を説明するためのタイミングチャートである。

【図18】

第2の従来技術を示す回路図である。

【図19】

図18の回路の動作を説明するためのタイミングチャートである。

【符号の説明】

101 直流電源

102 MOSFET

103 トランジスタ

104 ダイオード

105 制御回路

106 平滑リアクトル

107 平滑コンデンサ

108, 109 整流ダイオード

110, 111 同期整流用MOSFET

112, 112a, 112b, 112c, 112d 同期整流用MOSFE

Tの制御回路

113, 114 ゲート抵抗

1, 8 ダイオード

2, 7 電流供給手段

3 抵抗

4, 11 基準電源

5, 12 電圧比較手段

6 ゲート駆動手段

9 ボルテージバッファ

10 過飽和リアクトル

13 遅延回路

14 OR回路

15 RSフリップフロップ回路

16 AND回路

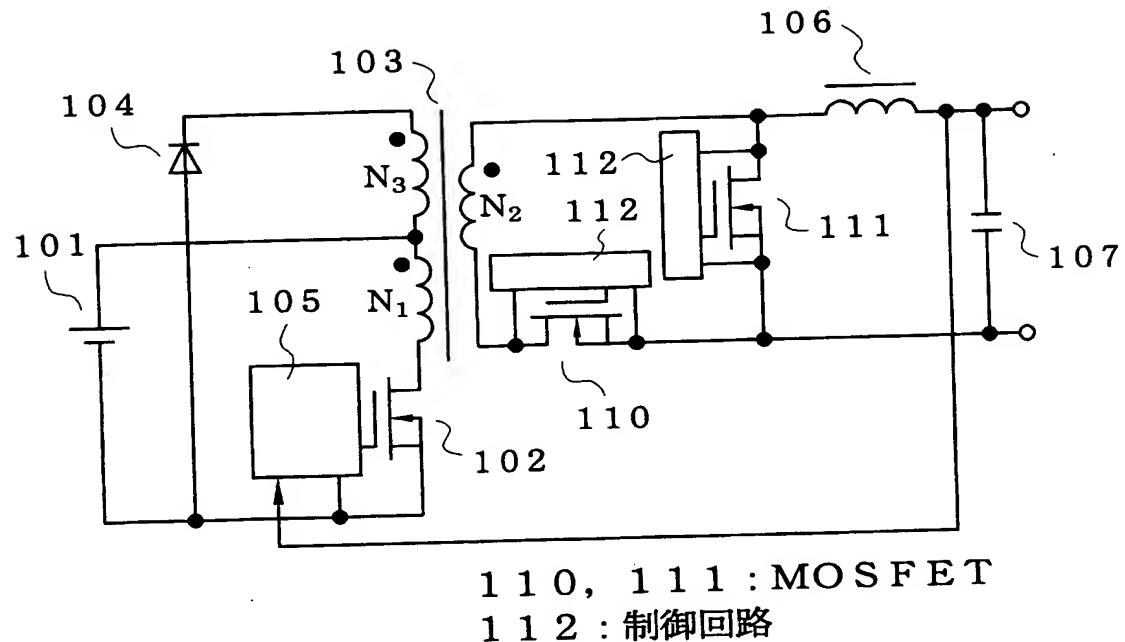
17 磁性体

18 配線パターン

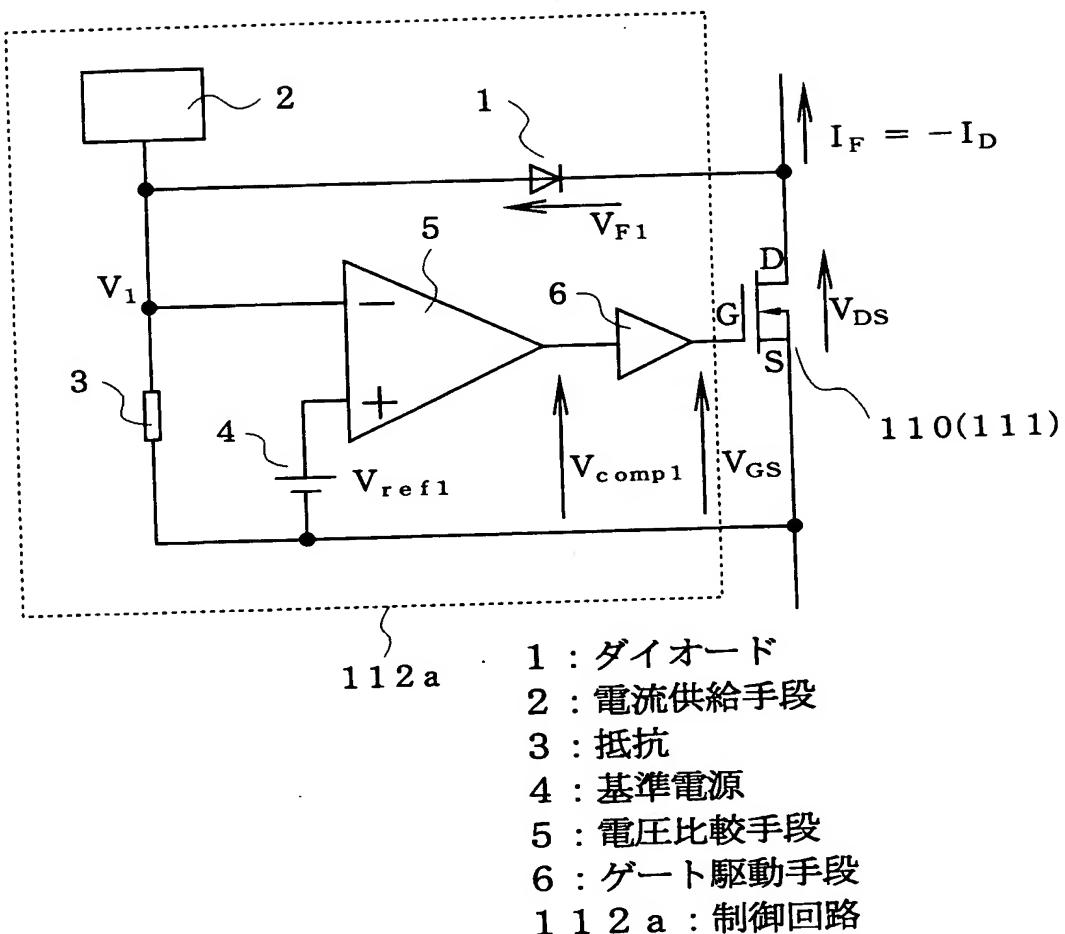
19 ワイヤ

【書類名】 図面

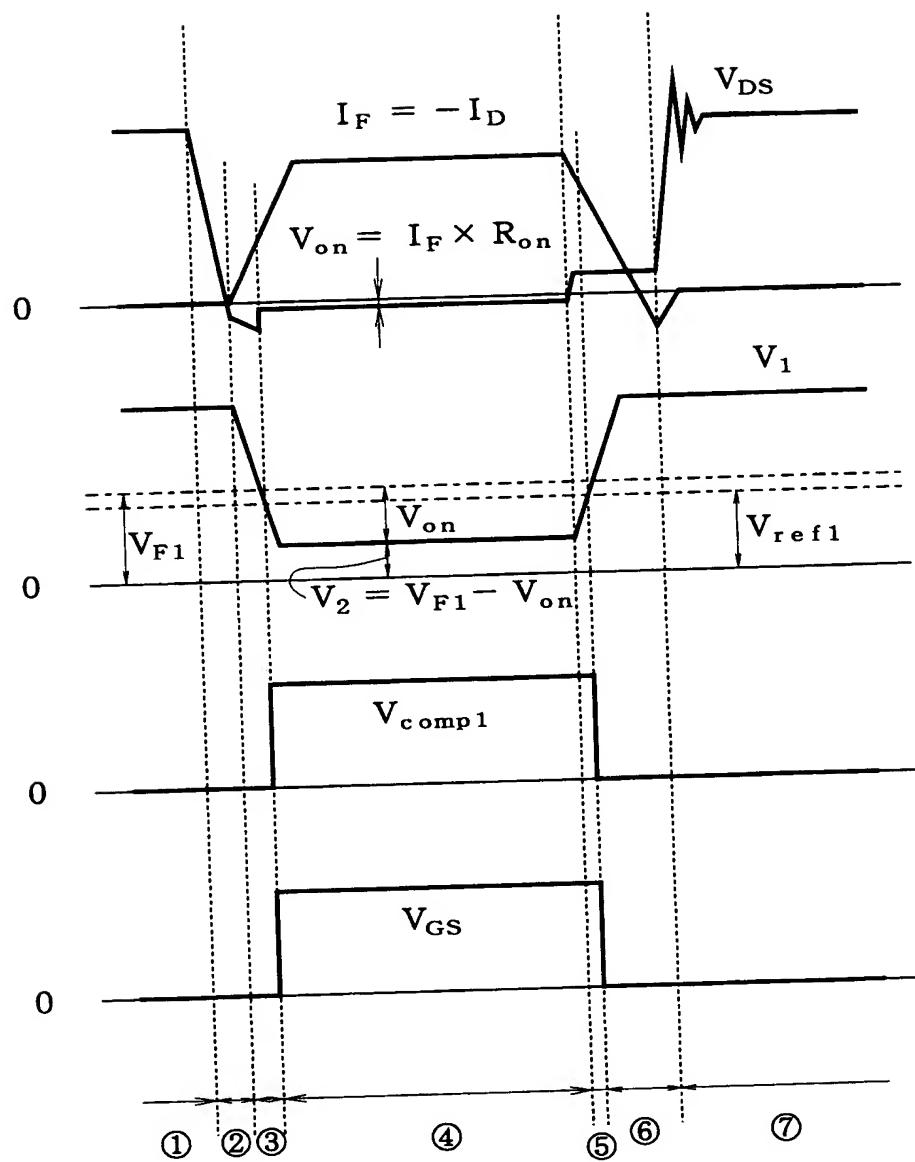
【図1】



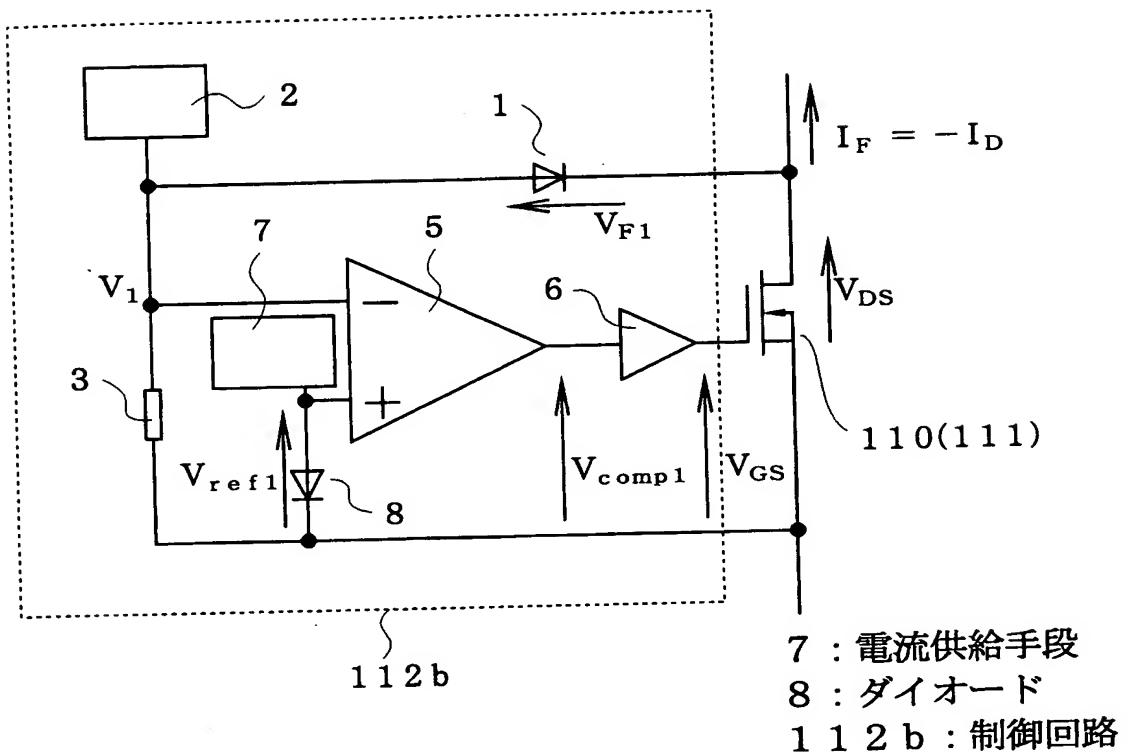
【図2】



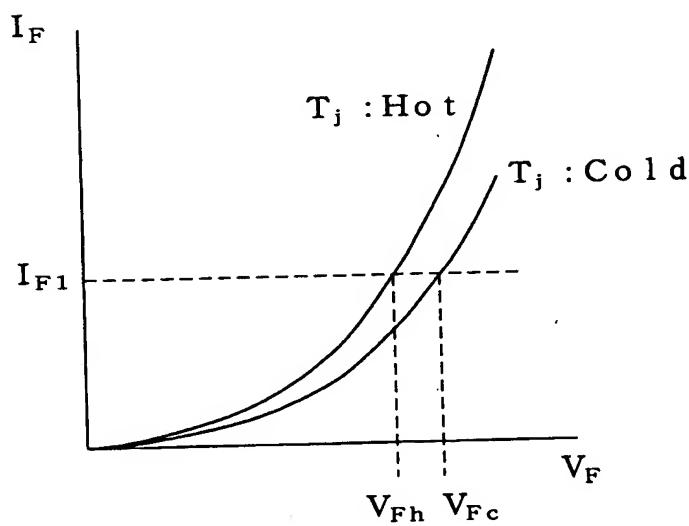
【図3】



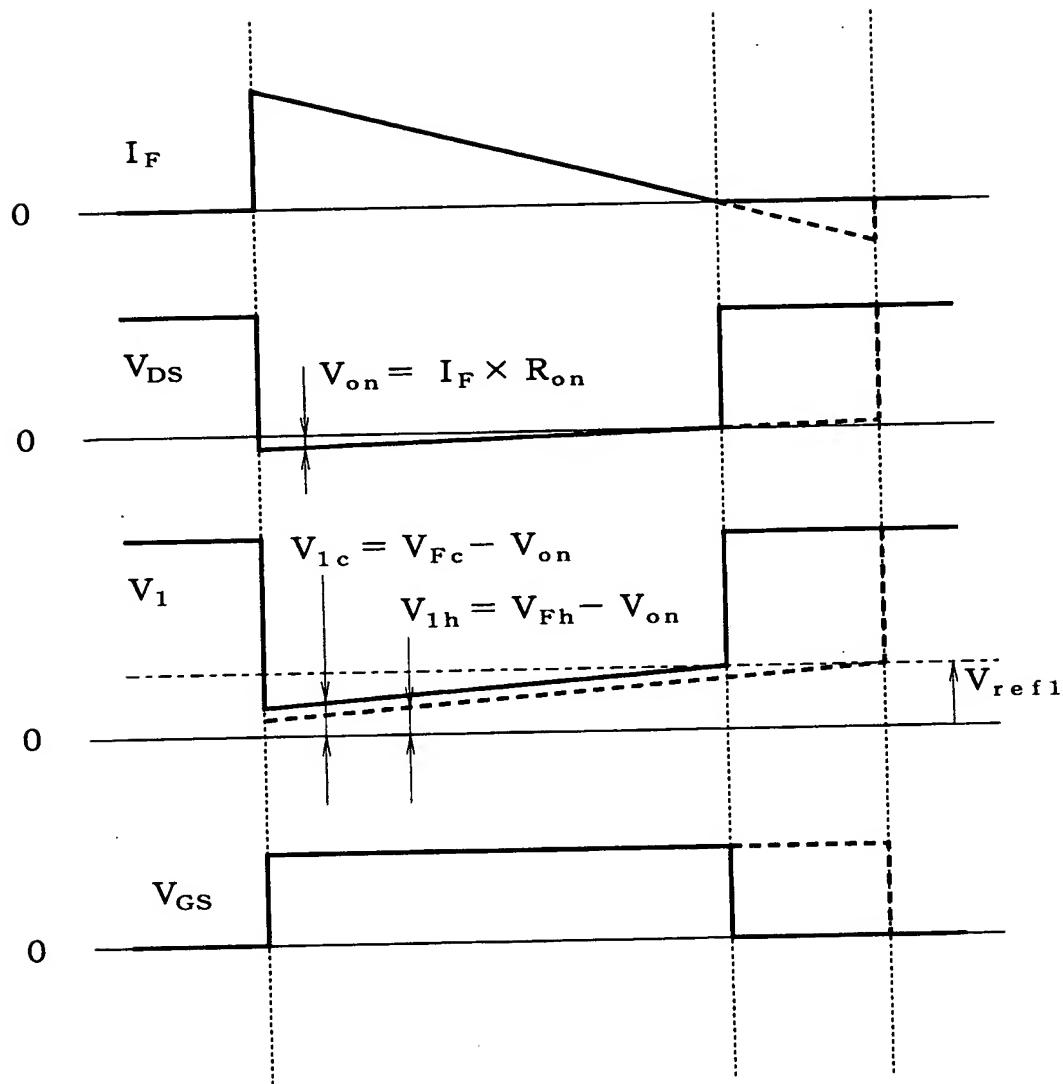
【図4】



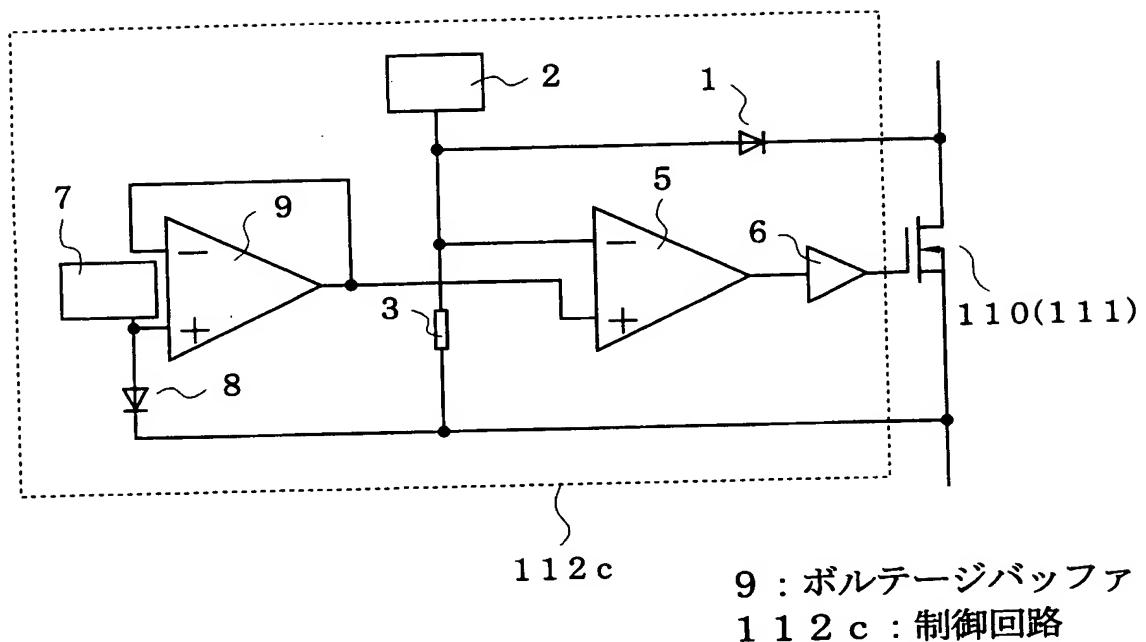
【図5】



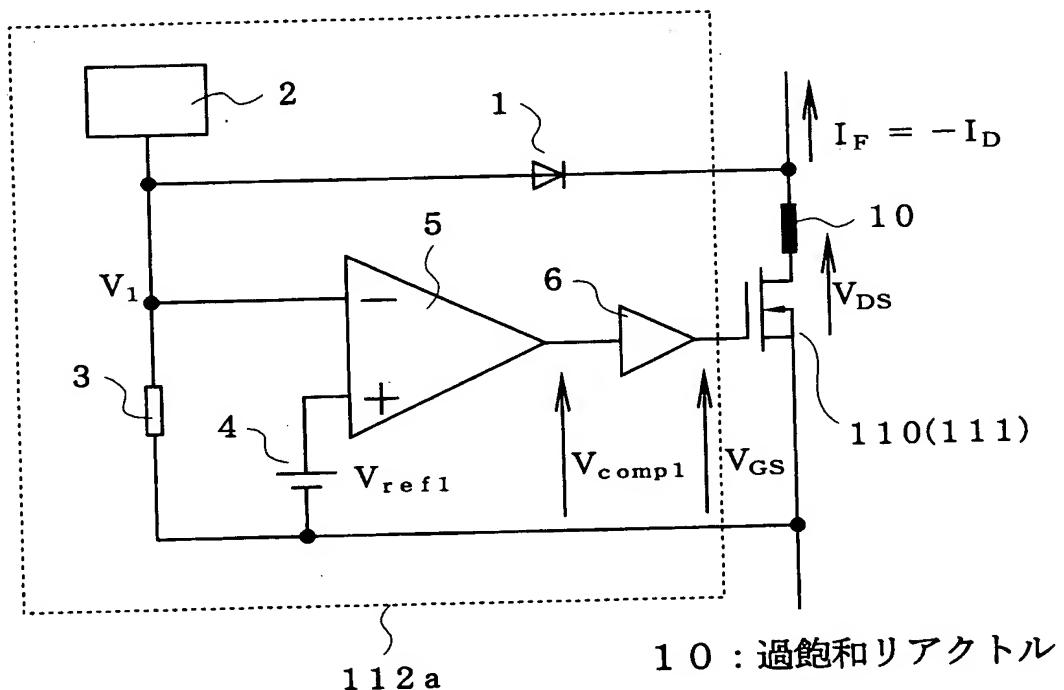
【図6】



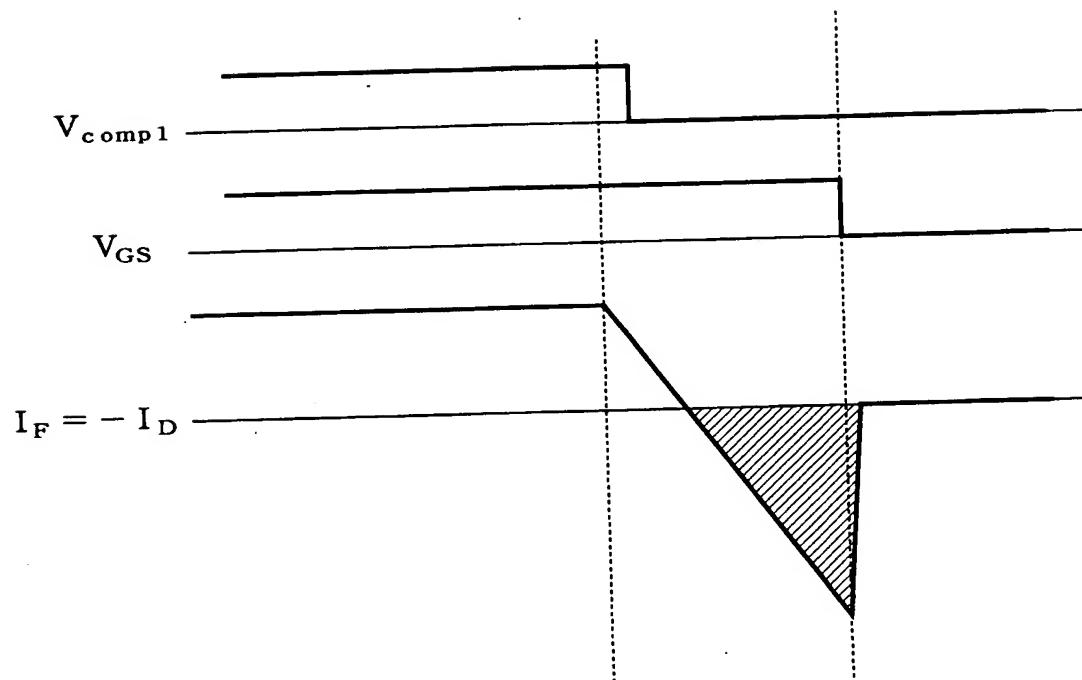
【図7】



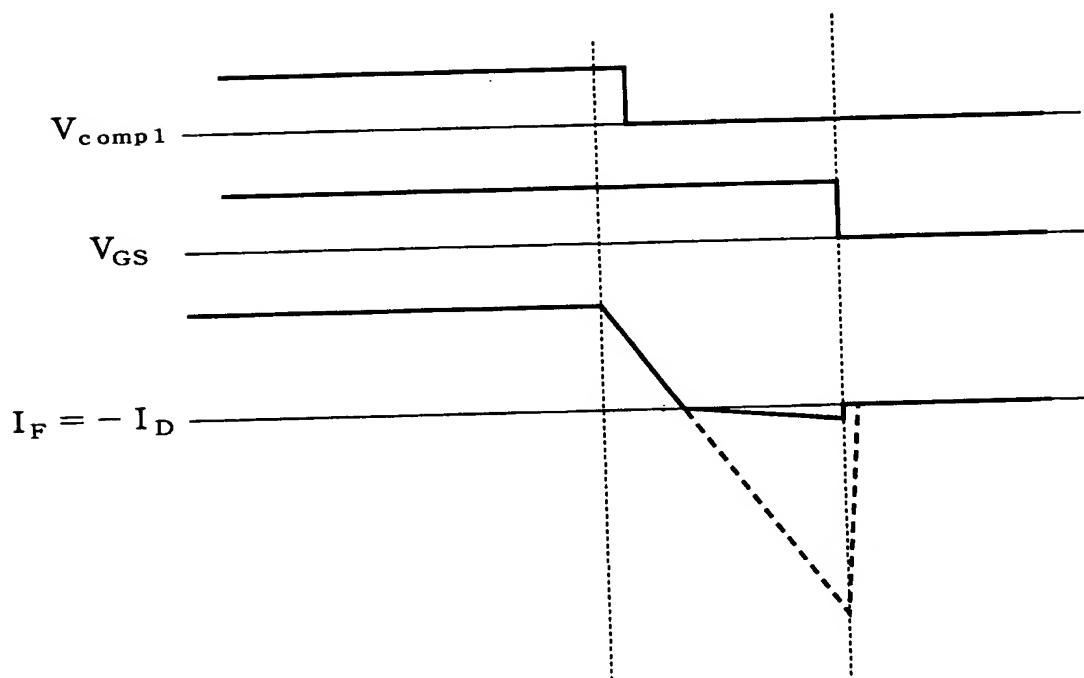
【図8】



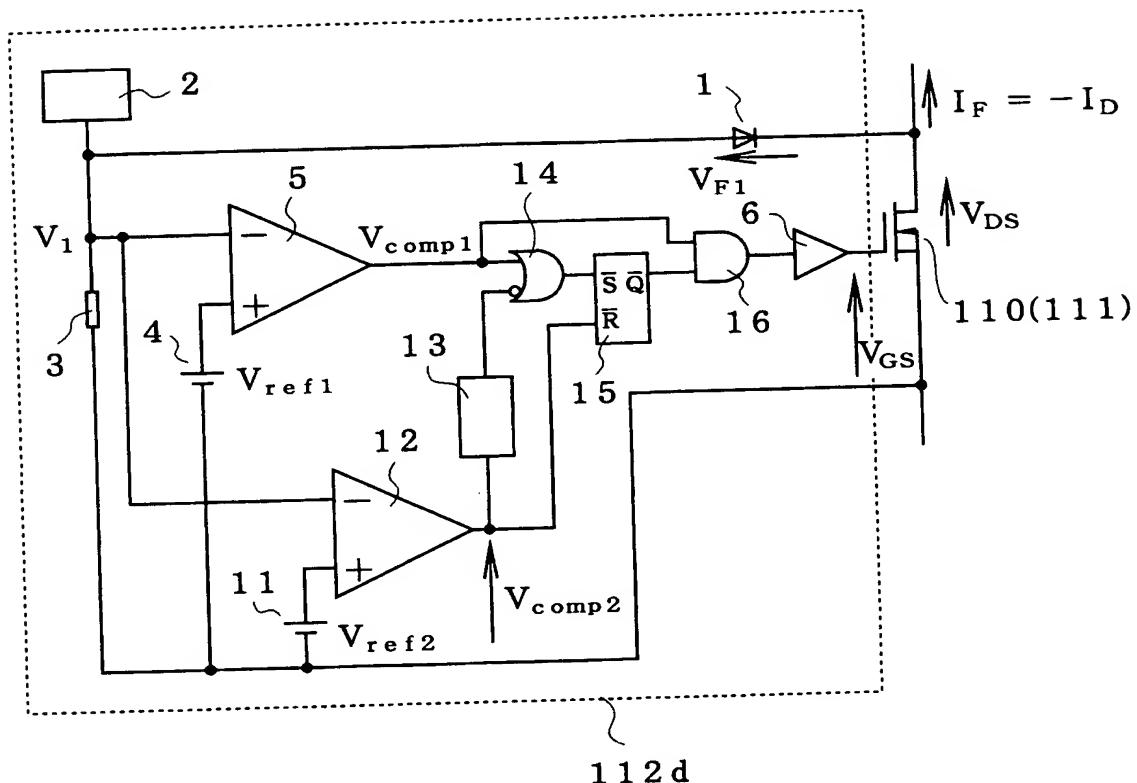
【図9】



【図10】

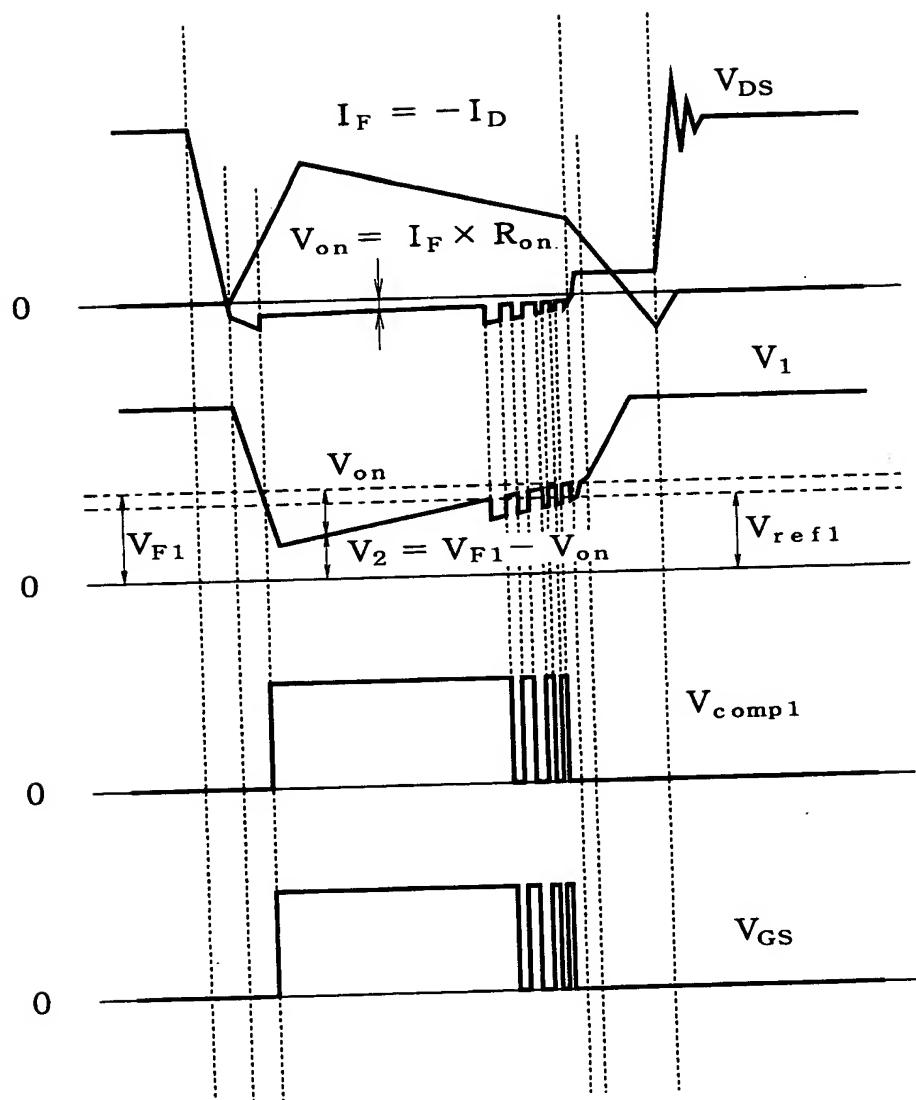


【図11】

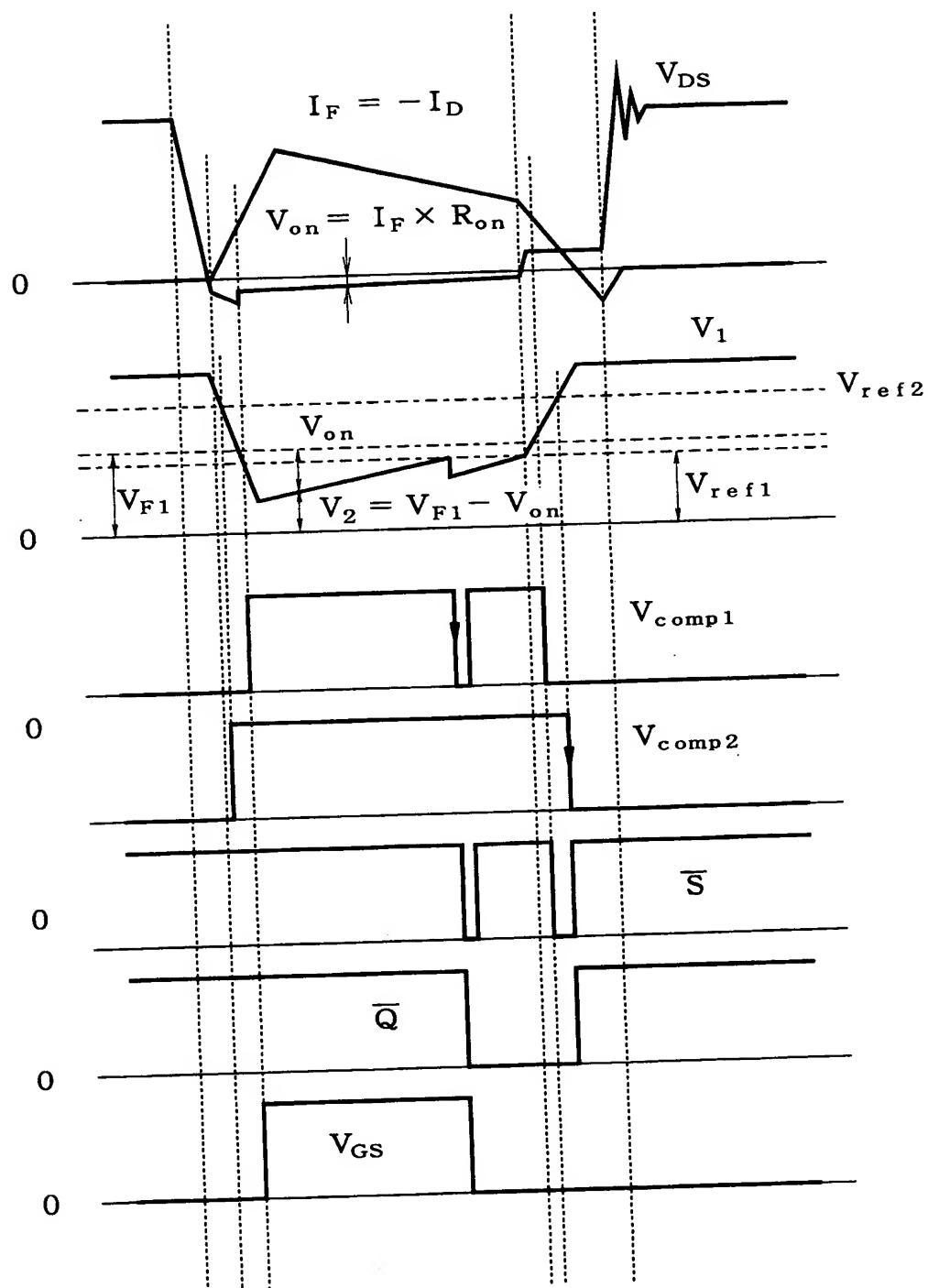


- 11 : 基準電源
- 12 : 電圧比較手段
- 13 : 遅延回路
- 14 : OR回路
- 15 : RSフリップフロップ
- 16 : AND回路
- 112d : 制御回路

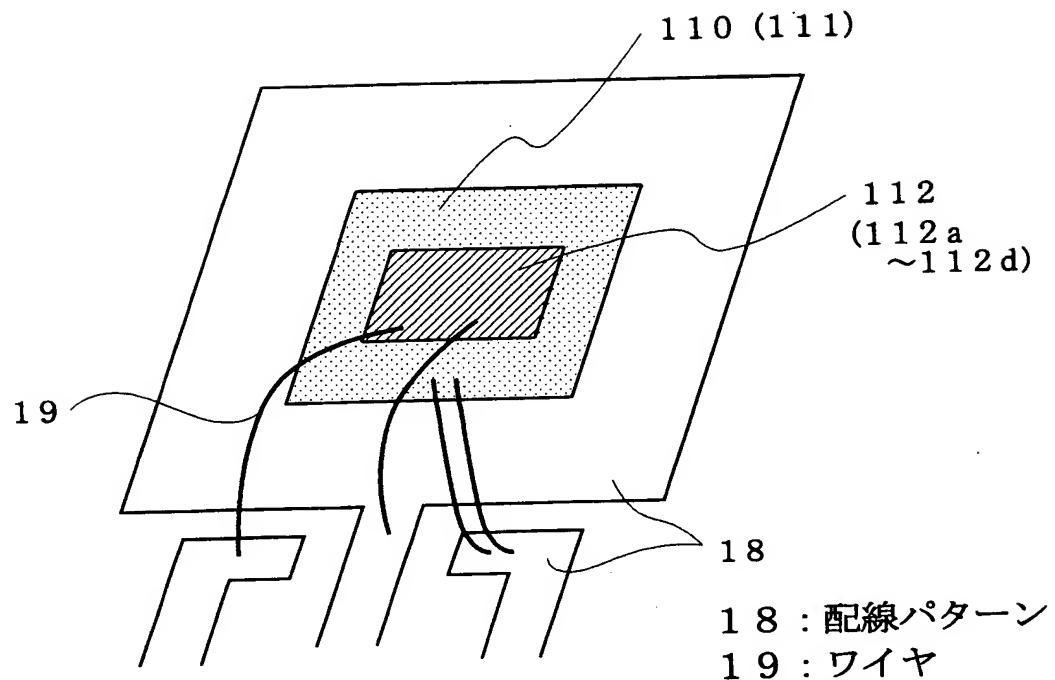
【図12】



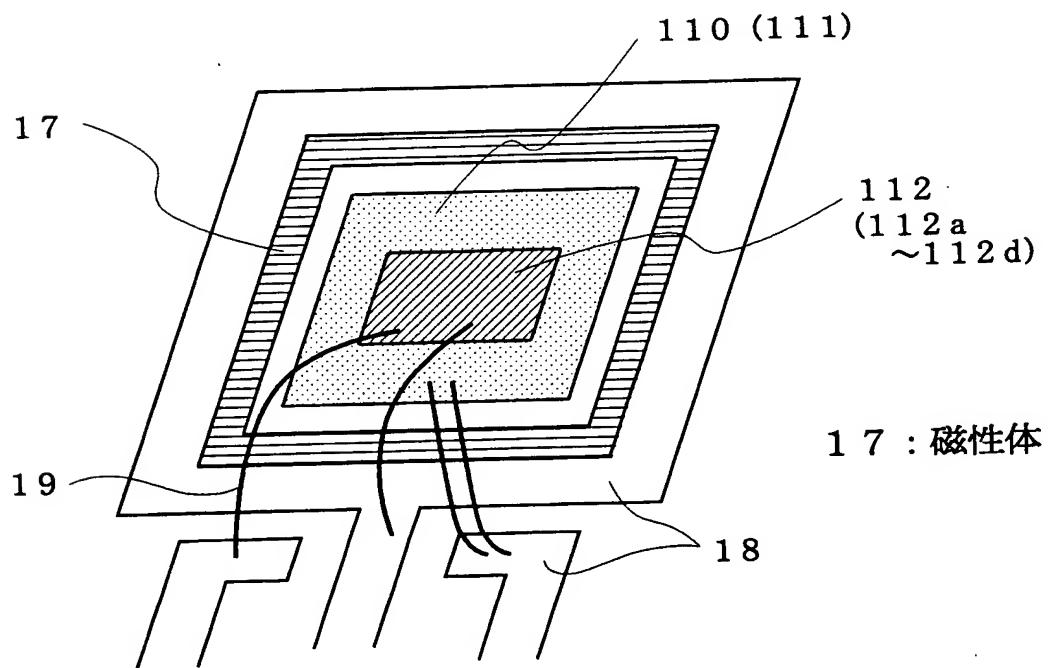
【図13】



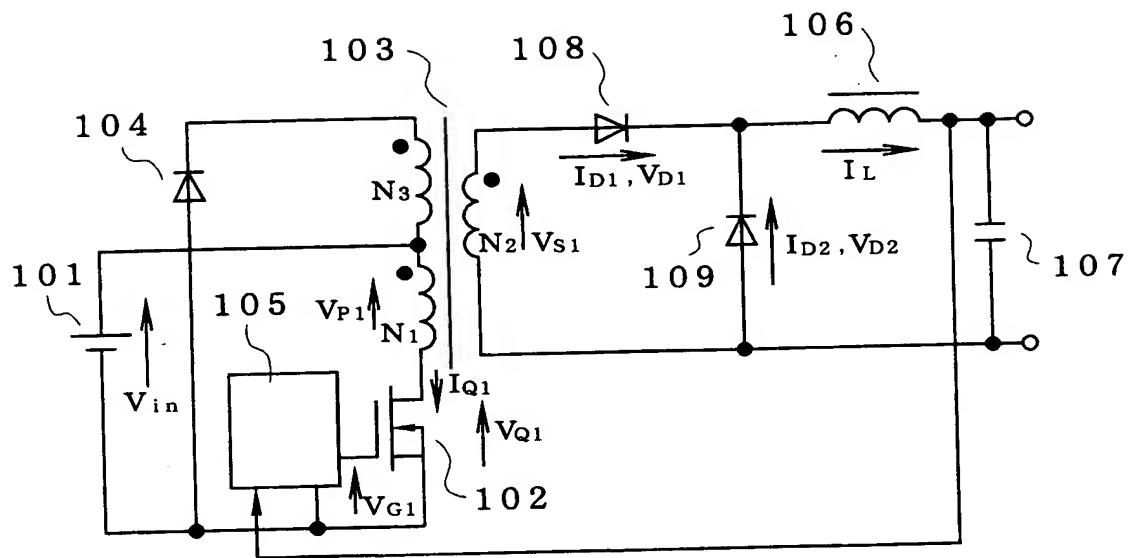
【図14】



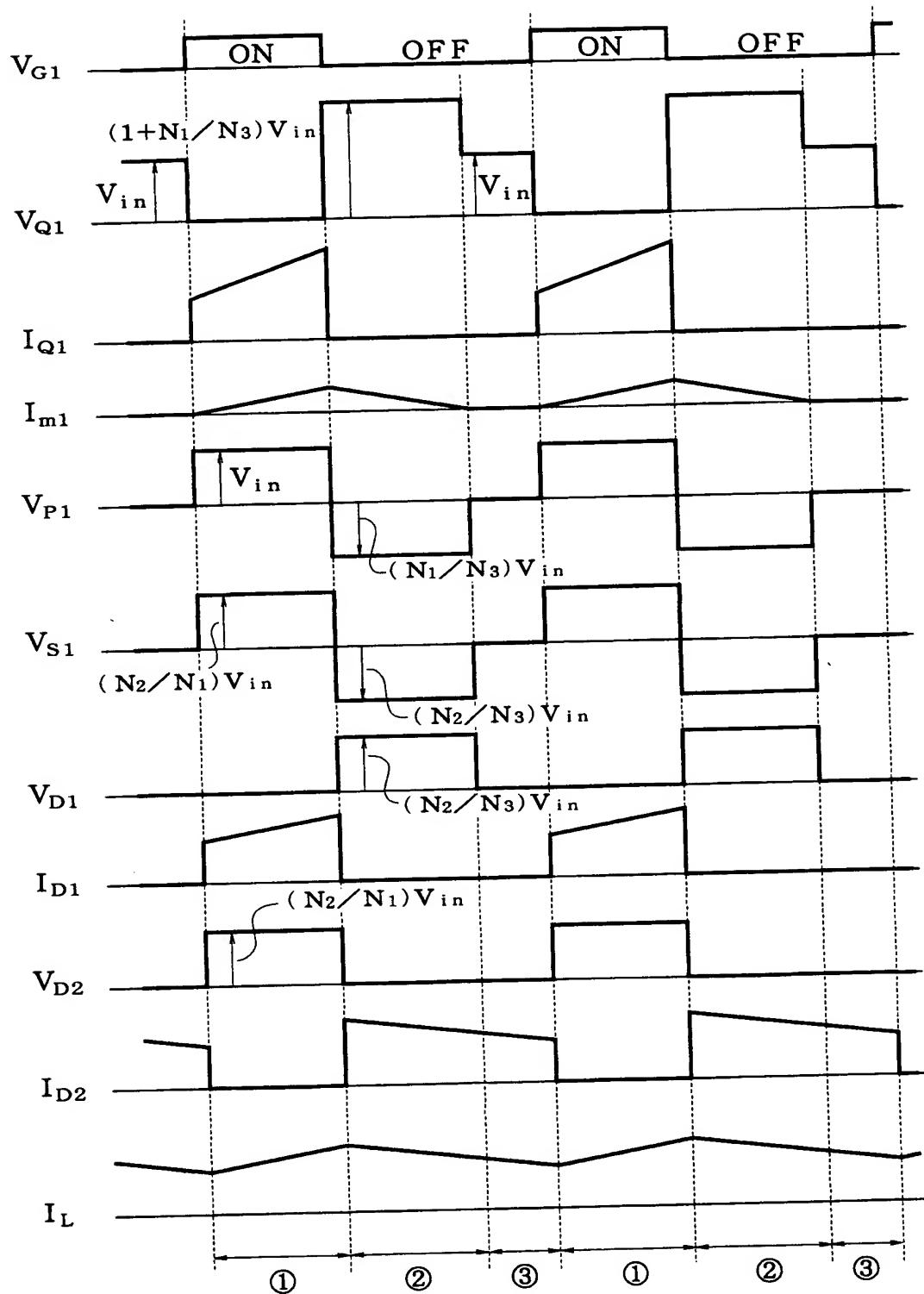
【図15】



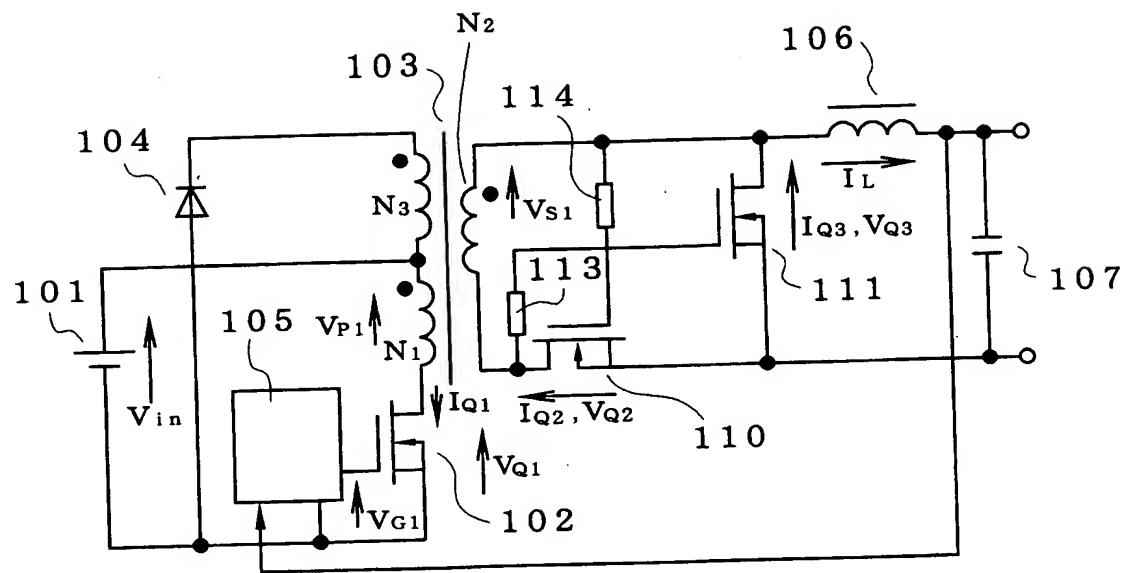
【図16】



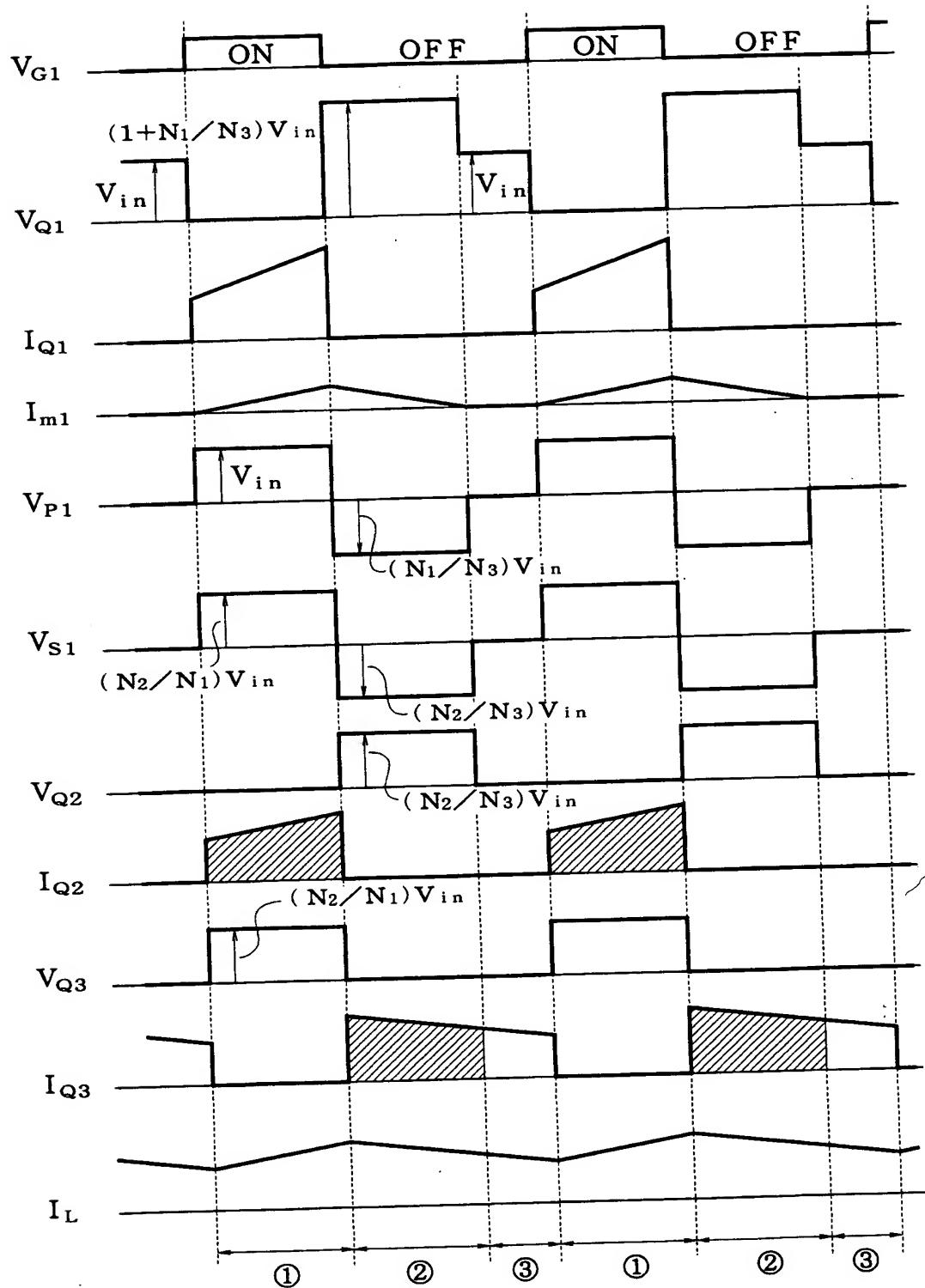
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 MOSFETに電流が流れる期間の殆どでゲート電圧をMOSFETに印加し、導通損失の低減効果を高め、装置効率の向上や小型軽量化を可能にする。

【解決手段】 同期整流用MOSFET110のドレインにダイオード1のカソードを接続し、そのアノードに電流供給手段2を接続すると共に、ダイオード1のアノードとMOSFET110のソースとの間に抵抗3を接続してその両端電圧を検出する。抵抗3の両端電圧はMOSFET110に電流が流れたときの電圧降下に従って変化するので、抵抗3の両端電圧と基準電圧 $V_{ref1}$ とを電圧比較手段5により比較し、その出力信号を増幅してゲート駆動手段6を介しMOSFET110のゲート電圧 $V_{GS}$ を得ることにより、MOSFET110に電流が流れる期間の殆どでゲート電圧をMOSFET110に印加する。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2002-187818
受付番号	50200943329
書類名	特許願
担当官	第三担当上席 0092
作成日	平成14年 7月 1日

＜認定情報・付加情報＞

【提出日】 平成14年 6月27日

次頁無

出願人履歴情報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号  
氏 名 富士電機株式会社